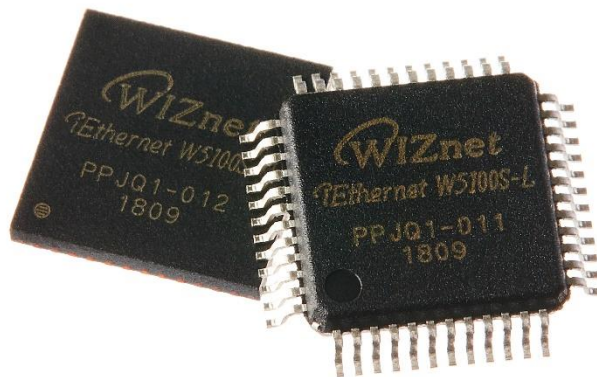


# Crystal Selection Guide

## Application Note

Version 1.0.0



© 2018 WIZnet Co., Ltd. All Rights Reserved.

For more information, visit our website at <http://www.wiznet.io>

# Contents

<b>1</b>	<b>Introduction</b> .....	<b>3</b>
<b>2</b>	<b>Selection Guide</b> .....	<b>3</b>
<b>3</b>	<b>Example</b> .....	<b>3</b>
3.1	부적절한 Crystal 선택의 예 .....	3
3.2	적절한 Crystal 선택의 예 .....	4
<b>4</b>	<b>Document Revision History</b> .....	<b>5</b>

## 1 Introduction

본 문서에서는 W5100S 에 적합한 Crystal 을 선택할 수 있는 Guide 를 제공합니다.

## 2 Selection Guide

W5100S 의 oscillator transconductance  $g_m = 8.43$  이고 gain margin 은 6.9897 이상이어야 한다. gain margin 은 다음과 같은 공식에 의해 정해진다.

$$\text{gain margin} = \frac{g_m}{g_{m\text{crit}}}$$

$g_m$ : Oscillator transconductance

$g_{m\text{crit}}$ : Oscillation loop critical gain

따라서 gain margin 을 구해 Crystal 의 적합한지 여부를 알아내려면  $g_{m\text{crit}}$ (oscillation loop critical gain)의 값을 구해야 하며  $g_{m\text{crit}}$ 은 아래의 공식으로 구해진다.

$$g_{m\text{crit}} = 4 \times ESR \times (2\pi F)^2 \times (C_0 + C_L)^2$$

$ESR$ : Equivalent series resistance

$F$ : Nominal frequency

$C_0$  Shunt capacitance

$C_L$ : Load capacitance

이 때  $F$  는 25Mhz 로 고정되어 있으며 나머지 값은 Crystal 의 Datasheet 에 명기되어 있으므로 이를 참고한다.

## 3 Example

### 3.1 부적절한 Crystal 선택의 예

$ESR = 40\Omega$ ,  $C_0 = 7\text{pF}$ ,  $C_L = 16\text{pF}$  인 Crystal 의  $g_{m\text{crit}}$ 를 구하여 적합도를 알아보면

$$\begin{aligned} g_{m\text{crit}} &= 4 \times 40 \times (2\pi \times 25 \times 10^6)^2 \times (7 \times 10^{-12} + 16 \times 10^{-12})^2 \\ &= 0.00209\text{A/V} = 2.09\text{mA/V} \end{aligned}$$

$$\text{gain margin} = \frac{8.43}{2.09} = 4.04 < 6.9897$$

gain margin 이 6.9897 보다 작으므로 해당 Crystal 은 사용이 가능할지는 모르지만 W5100S 에 적합하지 않으며 불안정한 동작을 야기할 수 있으므로 사용하지 말아야 한다.

### 3.2 적절한 Crystal 선택의 예

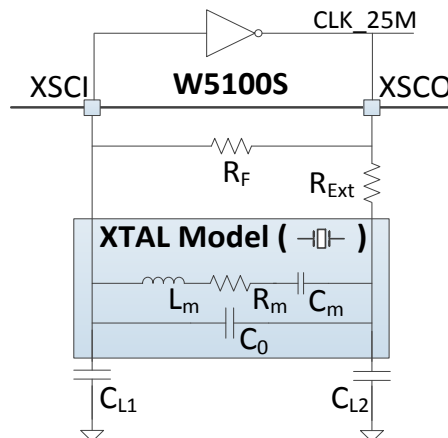
ESR = 40Ω, C0 = 7pF, CL = 10pF 인 Crystal 의  $g_{m_{crit}}$  를 구하여 적합도를 알아보면

$$g_{m_{crit}} = 4 \times 40 \times (2\pi \times 25 \times 10^6)^2 \times (7 \times 10^{-12} + 10 \times 10^{-12})^2 = 0.00114A/V = 1.14mA/V$$

$$\text{gain margin} = \frac{8.43}{1.14} = 7.39 > 6.9897$$

gain margin 이 6.9897 보다 크므로 적절한 Crystal 이다.

이 후 아래와 같이 Crystal 회로가 구성되어 있다면 공식에 의해 External load capacitor 를 구할 수 있다.



External load capacitor  $C_{L1}$  과  $C_{L2}$  는 동일한 값이며 아래와 같은 공식에 의해 정해진다.

$$C_L = \frac{C_{L1} \times C_{L2}}{C_{L1} + C_{L2}} + C_s$$

$C_L$ : Load capacitance of crystal.

$C_{L1}, C_{L2}$ : External load capacitance.

$C_s$ : Stray capacitance of PCB trace and pad.

이 때  $C_s$  는 Stray capacitance 로써 PCB trace, pad 등의 capacitance 이며 보통 5-7p 로 설정한다.

이를 위 공식에 의해 계산해보면  $C_{L1} = C_{L2} = 10pF$  이고 이를 회로에 적용하면 된다.

## 4 Document Revision History

Version	Date	Descriptions
Ver. 1.0.0	1APR2018	Initial Release

---

## Copyright Notice

Copyright 2018 WIZnet Co., Ltd. All Rights Reserved.

Technical support : <https://forum.wiznet.io/>

Sales & Distribution: [sales@wiznet.io](mailto:sales@wiznet.io)

For more information, visit our website at <http://www.wiznet.io> and visit our wiki site at <http://wizwiki.net/>