

W5100S Errata Sheet

Document History

Ver 1.0.0 (MAY. 22, 2023)	First release (erratum 1)
---------------------------	---------------------------

© 2023 WIZnet Co., Inc. All Rights Reserved.

For more information, visit our website at <https://www.wiznet.io/>

Erratum 1	
Phenomenon	SPI N bytes data Read Access 동작 시, Data Invalid 발견되는 현상
Condition	SPI를 사용해서 N bytes data를 Read 하는 경우 ¹ , 첫번째 Byte Access 이후 두번째 Byte Access부터 일정 클럭 속도 이상에서 Data Invalid가 발생한다.
Solution & Recommendation	<p>W5100S SPI Read Timing의 경우 Data Valid를 위해서 첫번째 Byte Data는 최소 “$6 \times \text{SYS_CLK}^2 + 30\text{ns}$”의 딜레이가 필요하고 이후 두번째 Byte부터는 Byte와 Byte 사이에 최소 “$3 \times \text{SYS_CLK}$” 이상의 Delay 가 필요하다.</p> <p> $T_{FDR}(\text{Frist Data Ready time}) : 6 \times \text{SYS_CLK} + 30\text{ns}$ $T_{DR}(\text{Data Ready time}) : 3 \times \text{SYS_CLK}$ </p> <p>해당 증상은 SPI Read Access 동작 중 두번째 Read Data부터 Byte와 Byte간의 “$3 \times \text{SYS_CLK}$” 이상의 Delay 추가 삽입을 통해 해결할 수 있다. (전체 타이밍 정보는 W5100S 데이터시트의 7.4.3 SPI ACCESS TIMING 에서 확인할 수 있다.)</p>

¹ W5100S가 제공하는 SPI는 사용자가 지정한 Memory Size 및 Register에 의해서 1 byte 부터 N bytes까지 임의의 길이를 Access할 수 있다.

² W5100S는 100MHz의 SYS_CLK 동작을 기본으로 하지만 Clock Switching을 통해 25MHz 동작이 가능하다.